

(11)Publication number : 2001-257940
(43)Date of publication of application : 21.09.2001

(21)Application number : 2000-069154 (71)Applicant : OLYMPUS OPTICAL CO LTD
(22)Date of filing : 13.03.2000 (72)Inventor : MORI KEIICHI
YOSHIDA HIDEAKI

(57)Abstract:

[illegible]

[Date of request for examination] 20.09.2001
[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3639491

[Date of registration] 21.01.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項 1】 固体撮像素子と、前記固体撮像素子を駆動する駆動手段と、前記固体撮像素子の基板バイアス電圧 V_{SUB} の設定値を制御することにより、前記基板バイアス電圧 V_{SUB} の設定値に対応して定まる電荷蓄積部のオーバーフローレベルを可変設定するオーバーフローレベル設定手段と、前記駆動手段により画素電荷を出力信号として読み出す際に前記撮像素子の各画素電荷を個別に読み出す通常駆動モードおよび前記撮像素子の各画素電荷を垂直方向に所定数 n だけ加算して読み出す n 加算駆動モードで読み出すことが可能な読み出し制御手段とを具備し、
前記オーバーフローレベル設定手段は、前記読み出し制御手段による読み出しが前記通常駆動モードである場合と前記 n 加算駆動モードである場合とで前記基板バイアス電圧 V_{SUB} を異なる設定値に制御することを特徴とする撮像装置。

【請求項 2】 固体撮像素子と、前記固体撮像素子を駆動する駆動手段と、前記固体撮像素子の基板バイアス電圧 V_{SUB} の設定値を制御することにより、前記基板バイアス電圧 V_{SUB} の設定値に対応して定まる電荷蓄積部のオーバーフローレベルを可変設定するオーバーフローレベル設定手段と、前記駆動手段により画素電荷を出力信号として読み出す際に前記撮像素子の各画素電荷を垂直方向に所定数 n だけ加算して読み出す n 加算駆動モードで読み出すことが可能な読み出し制御手段とを具備し、
前記オーバーフローレベル設定手段は、前記読み出し制御手段による読み出しにおける n の値に応じて、前記基板バイアス電圧 V_{SUB} を異なる設定値に制御することを特徴とする撮像装置。

【請求項 3】 前記オーバーフローレベル設定手段による、前記基板バイアス電圧 V_{SUB} の設定値の制御は、前記固体撮像素子の電荷蓄積部のオーバーフローレベルと水平転送路の飽和レベルとの相対関係に基づいて行われるものであることを特徴とする請求項 1 または 2 記載の撮像装置。

【請求項 4】 前記固体撮像素子に関する基板バイアス電圧 V_{SUB} の設定値に対する前記電荷蓄積部のオーバーフローレベルの変化特性の実測値に基づいて生成された、前記 n 加算駆動モードにおける前記基板バイアス電圧 V_{SUB} の設定値に関する調整情報が予め記憶されている記憶手段をさらに具備し、
前記オーバーフローレベル設定手段は、前記記憶手段の調整情報に基づいて前記 n 加算駆動モードにおける前記基板バイアス電圧 V_{SUB} の設定値を制御することを特徴とする請求項 1 または 2 記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は CCD 等の固体撮像

素子を用いた撮像装置に関し、特に特殊駆動によって画素加算を行う撮像装置に関する。

【0002】

【従来の技術】 近年、CCD 等の固体撮像素子を用いた電子カメラが種々開発されている。電子カメラにおいては、CCD 撮像素子によって被写体像を光電変換することによって撮像画像信号が得られる。CCD 撮像素子からの画素電荷の読み出しには、通常は各画素電荷をライン毎に個別に読み出すという駆動方式が用いられるが、これ以外にも他の各種特殊駆動が用いられている。

【0003】 代表的特な特殊駆動の一例としては、高速・高感度読み出しのための駆動方式である「 n 倍速垂直加算駆動 (n 加算駆動)」が知られている。この n 加算駆動は毎回の水平 (H) プランキング期間毎に垂直 (V) 転送路から水平転送路に転送する画素数 (転送クロック数) を通常の 1 ではなく 2 以上の整数値 n とすることで、 n 画素分 (n ライン分) の電荷を水平転送路に順次転送し、そして水平転送路で加算された n 画素分 (n ライン分) の電荷を 1 画素 (1 ライン) として読み出すものである。

【0004】 これにより、1 画面に対応する垂直ライン数は $1/n$ となるので、結果的に 1 画面の読み出し時間が $1/n$ となり、高速読み出しが可能となる。また転送時の電荷加算によって電荷量が n 倍に増大するので、それに対応した感度増大効果が得られるという特徴を持つ。

【0005】

【発明が解決しようとする課題】 しかし、上述のような「 n 加算駆動」を行った場合には、感度増大効果は得られるが、高輝度被写体を撮像した場合にはこれに際して水平方向に白筋状の擬似信号 (ブルーミングやスミアのようなカブリノイズ) を生ずるという新たな画質劣化を伴う場合がある。この現象について以下に説明する。

【0006】 電荷が加算される水平転送路の飽和レベル (転送可能な最大電荷量) が無限にあれば問題は無いが、実際にはこれは有限である。この飽和レベルを S_{atH} と記す。 S_{atH} は通常の場合、非 n 加算駆動である通常駆動の状態における光電変換部の飽和レベルに対応できるように設計されている。光電変換部の飽和レベルとは換言すればその電荷蓄積部のオーバーフローレベルであって、これを超える光電荷が発生してもオーバーフローレインに排出されてしまい蓄積されない。このオーバーフローレベル OFL は後述する基板バイアス電圧 V_{SUB} の設定値によって可変できるが、OFL を高くしすぎるとブルーミングが発生し易くなるため、通常はブルーミング特性上の許容限界の範囲でなるべく高くなるように設定されるものである。

【0007】 すなわち、上記水平転送路の飽和レベル S_{atH} は電荷蓄積部の OFL の標準的設定に対して若干の設計余裕あるいは調整余裕を見込んだ程度の値となっ

10

20

30

40

50

ているのが一般的であり、それ以上にはなっていない。記号的に書けば $SatH = k \times OFL$ ($k = 1.1 \sim 1.5$ 程度、但し理論的な下限値は 1) というになっている。

【0008】従って「 n 加算駆動」を行なったとすれば、画素信号は加算によって n 倍になり $SatH$ を超える電荷が水平転送路に入力されてしまう。具体的には 1 画素当たりの加算前の電荷量が $SatH / n$ ($< OFL$) を超える場合に関してこれが生じる。このような過剰電荷の入力があったとしても、水平転送路に十分な過剰電荷対策（例えばオーバーフロードレインの設定など）がされていれば単に $SatH$ でクリップされるだけで問題とはならないが、現実の CCD 撮像素子においてはこの水平転送路の過剰電荷対策が不十分なものが存在しており、このため過剰電荷は水平転送路の隣接した領域に溢れ出てしまうため水平ラインに沿ってブルーミングと同様のカブリ現象を生じてしまうものであった。

【0009】本発明は上述の事情に鑑みてなされたものであり、画素加算駆動に伴う擬似信号（水平カブリノイズ）の発生を防止し、画質劣化の無い画素加算駆動を実現し得る撮像装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上述の課題を解決するため、本発明の撮像装置は、固体撮像素子と、前記固体撮像素子を駆動する駆動手段と、前記固体撮像素子の基板バイアス電圧 V_{SUB} の設定値を制御することにより、前記基板バイアス電圧 V_{SUB} の設定値に対応して定まる電荷蓄積部のオーバーフローレベルを可変設定するオーバーフローレベル設定手段と、前記駆動手段により画素電荷を出力信号として読み出す際に前記撮像素子の各画素電荷を個別に読み出す通常駆動モードおよび前記撮像素子の各画素電荷を垂直方向に所定数 n だけ加算して読み出す n 加算駆動モードで読み出すことが可能な読み出し制御手段とを具備し、前記オーバーフローレベル設定手段は、前記読み出し制御手段による読み出しが前記通常駆動モードである場合と前記 n 加算駆動モードである場合とで前記基板バイアス電圧 V_{SUB} を異なる設定値に制御することを特徴とする。

【0011】本撮像装置においては、電荷蓄積部のオーバーフローレベルを定める基板バイアス電圧 V_{SUB} の設定値を、通常駆動モード時と n 加算駆動モード時とで異なる値に制御するという V_{SUB} 可変制御が行われる。したがって、例えば電荷蓄積部のオーバーフローレベルを n 加算駆動モード時には通常駆動モード時よりも低く設定しておくことにより、 n 加算駆動モード時においても水平転送路への過剰電荷の入力を抑制することが可能となり、擬似信号（水平カブリノイズ）の発生を防止することができる。

【0012】また、 n 加算駆動モードにおける n の値に応じて基板バイアス電圧 V_{SUB} を異なる設定値に制御

するという構成を採用することにより、例えば 2 画素加算、4 画素加算、8 画素加算、……それぞれに応じた最適なオーバーフローレベルの調整を行うことが可能となる。

【0013】また、オーバーフローレベル設定手段による基板バイアス電圧 V_{SUB} の設定値の制御は、電荷蓄積部のオーバーフローレベルと水平転送路の飽和レベルとの相対関係に基づいて行うことが好ましい。これにより、必要以上に電荷蓄積部のオーバーフローレベルを下げる事が無くなり、それによる不具合の発生を防止することができる。

【0014】さらに、基板バイアス電圧 V_{SUB} の設定値に対する電荷蓄積部のオーバーフローレベルの変化特性は固体撮像素子毎に異なることがあるので、使用する固体撮像素子に関する変化特性の実測値に基づいて予め生成された、 n 加算駆動モードにおける基板バイアス電圧 V_{SUB} の設定値に関する調整情報を記憶手段に記憶しておき、その調整情報に基づいて前記 n 加算駆動モードにおける前記基板バイアス電圧 V_{SUB} の設定値を制御することが好ましい。これにより、より適切なオーバーフローレベルの制御を実現できる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図 1 には、本発明の一実施形態に係る撮像装置の構成が示されている。ここでは、デジタルカメラとして実現した場合を例示して説明することにする。

【0016】図中 101 は各種レンズからなるレンズ系、102 はレンズ系 101 を駆動するためのレンズ駆動機構、103 はレンズ系 101 の絞りを制御するための露出制御機構、104 はローパスおよび赤外カット用の光学フィルタ、105 は色フィルタ付きの CCD カラー撮像素子、106 は撮像素子 105 を駆動するための CCD ドライバ、107 は A/D 変換器等を含むプリプロセス回路、108 は色信号生成処理、マトリクス変換処理、その他各種のデジタル処理を行うためのデジタルプロセス回路、109 はカードインターフェース、110 はメモリカード、111 は LCD 画像表示系を示している。

【0017】また、図中の 112 は各部を統括的に制御するためのシステムコントローラ (CPU)、113 は各種操作ボタンからなる操作スイッチ系、114 は操作状態及びモード状態等を表示するための操作表示系、115 は発光手段としてのストロボ、116 はレンズ駆動機構 102 を制御するためのレンズドライバ、117 はストロボ 115 および露出制御機構 103 を制御するための露出制御ドライバ、118 は各種設定情報等を記憶するための不揮発性メモリ (EEPROM) を示している。

【0018】本実施形態のデジタルカメラ 100 におい

ては、システムコントローラ 112 が全ての制御を統括的に行っており、CCDドライバ 106 により CCD 撮像素子 105 の駆動を制御して露光（電荷蓄積）及び信号の読み出しを行い、それをプリプロセス回路 107 を介してデジタルプロセス回路 108 に取込んで、各種信号処理を施した後にカードインターフェース 109 を介して着脱可能なメモリカード 110 に記録するようになっている。また、上記露光に際してストロボ 115 を使用する場合には、露出制御ドライバ 117 を制御してストロボ 115 に発光開始、停止の各制御信号を送ることによりストロボ 115 を発光させるものである。

【0019】なお、CCD 撮像素子 105 の駆動制御は、CCDドライバ 106 から出力される各種駆動信号（電荷移送パルス TG、垂直駆動パルス、水平駆動パルス、さらには基板バイアス電圧 VSUB 等）を用いて行われる。CCD カラー撮像素子 105 は例えば縦型オーバーフローレイン構造を用いたインターライン型のものであり、マトリクス配置された電荷蓄積部と、水平および垂直にそれぞれ配置された電荷転送部（垂直電荷転送路、水平電荷転送路）とを備えている。

【0020】電荷移送パルス TG が出力されると、各電荷蓄積部と垂直電荷転送路との間に設けられた転送ゲートが開き、各電荷蓄積部から対応する垂直電荷転送路に電荷が移送される。その際、基板バイアス電圧 VSUB に重畳される電荷排出パルスと電荷移送パルス TG の出力タイミングの相対関係により、実質的な露光時間の制御が行われる。垂直電荷転送路の駆動は垂直駆動パルスによって行われる。また基板バイアス電圧 VSUB は電荷蓄積部のオーバーフローレベルを規定するために用いられる。オーバーフローレベルを越える過剰電荷はオーバーフローレインに排出される。

【0021】本実施形態のデジタルカメラ 100 に於いては、以下に詳述する基板バイアス電圧 VSUB の可変設定制御に関する動作を除けば、通常のデジタルカメラと同様の動作および制御が行われるものであって、そのような公知の部分については説明を省略する。

【0022】システムコントローラ 112 には、本実施形態の特徴とする基板バイアス電圧 VSUB の可変設定制御を行うための機能として、駆動モード制御部 201 およびオーバーフローレベル制御部 202 が設けられている。

【0023】駆動モード制御部 201 は CCD 撮像素子 105 からの画素電荷の読み出しを制御するためのものであり、通常駆動モードと、n 加算駆動モードとを有している。前述したように、通常駆動モードは CCD 撮像素子 105 の各画素電荷を個別に読み出すための駆動制御モードであり、また n 加算駆動モードは CCD 撮像素子 105 の各画素電荷を垂直方向に所定数 n だけ加算して読み出す駆動制御モードである。これら通常駆動モードおよび n 加算駆動モードの駆動制御の様子を図 2 に示

す。

【0024】図 2 (a) は通常駆動モードにおける駆動タイミングを示している。水平ブランキング期間 (H-BLK) 毎に垂直駆動パルス ϕV を用いた 1 回の転送駆動が実行され、垂直転送路から水平転送路に 1 ライン分の電荷が転送される（各垂直転送路毎に 1 画素）。垂直転送路の転送には例えば周知の 4 相駆動方式などを用いることができる。

【0025】一方、図 2 (b) は n 加算駆動モード（ここで、 $n=4$ ）における駆動タイミングを示している。水平ブランキング期間 (H-BLK) 毎に垂直駆動パルス ϕV を用いた 4 回の転送駆動が実行され、垂直転送路から水平転送路に 4 ライン分の電荷が転送される（各垂直転送路の縦方向の 4 画素）。

【0026】水平転送路の駆動は n 加算駆動モードにおいても通常駆動モードと同様に実行される。これにより、n 加算駆動モードでは、垂直方向に $1/n$ に圧縮された画像が高速に読み出されることになる。本実施形態では、n 加算駆動モードによる読み出し制御は、本撮影に先立って行われる例えば AF（自動合焦点）や AE（自動露出補正）処理などのために利用される。もちろん、LCD 画像表示系 111 への撮像画像の動画表示 (EVF) に利用することもできる。

【0027】なお、n 加算駆動モードの発展形として、CCD カラー撮像素子 105 における色コーティングパターンを考慮したり、感度を適当に調節する目的で、垂直転送に先立って行われる電荷蓄積部から垂直転送路への電荷移送に際して、垂直転送路から水平転送路への転送時に加算される n ラインのうちの特定の $m (\leq n)$ ラインだけを選択的に移送する「 m/n 加算駆動」を使用することもできる（「n 加算駆動」を特殊な場合すなわち $m=n$ の「 n/n 加算駆動」として含む）が、本実施形態ではこれらの駆動を使用する際の画素電荷加算数が本質的な意味をもつため、 m/n 加算駆動を用いる場合には m に着目すれば良いことから、以下本明細書では説明を簡単化するために $m=n$ の場合すなわち上記 n 加算駆動のみを取り上げて論ずるものとする。従って m/n 加算駆動に対して本発明を適用する場合は m をもって請求項における n に読み替えるべきものである。

【0028】オーバーフローレベル制御部 202 は、前述の基板バイアス電圧 VSUB により定まる電荷蓄積部のオーバーフローレベル OFL を可変設定するためのものであり、通常駆動モード時と n 加算駆動モード時とで基板バイアス電圧 VSUB を異なる値に設定する制御を行う。さらに、n 加算駆動モードにおいては、その n の値に応じて、基板バイアス電圧 VSUB の設定値が可変設定されることになる。

【0029】図 3 には、本実施形態の撮像素子 105 として利用される、縦型オーバーフローレイン構造のインターライン型 CCD の断面構造が示されている。n 型

10

20

30

40

50

半導体基板 400 は接合の浅い P ウェルの第 1 領域 401 と接合の深い P ウェルの第 2 領域 402 で形成されている。第 1 領域 401 の接合 n 型領域が形成された領域部分はフォトダイオード、いわゆる光電変換領域（電荷蓄積部）403 として作用する。

【0030】第 2 領域 402 は埋込みチャネル 404 からなる垂直シフトレジスタ即ち転送電極 405 が形成される。その主面は絶縁層 406 を介して転送電極 405 が配置されている。光電変換領域 403 と埋込みチャネル 404 は高い p 型不純物層からなるチャネルストップ領域 407 によって分離されている。

【0031】また光電変換領域 403 と対応する埋込みチャネル 404 は間にトランスファークゲート領域 408 が配置されている。さらに、光電変換領域 403 以外は金属層 409 で遮光されている。ブルーミング抑制は N 型半導体基板 400 と、P ウェルの第 1 領域 401 及び第 2 領域 402 との接合に逆バイアス電圧である基板バイアス電圧 V_{SUB} 411 を印加し、光電変換領域 403 直下の P ウェルの第 1 領域 401 を完全に空乏化（空乏層化）することにより実現される。

【0032】図 4 には、基板バイアス電圧 V_{SUB} に対する電荷蓄積部の飽和信号量（オーバーフローレベル OFL）の変化特性が示されている。図示のように、基板バイアス電圧 V_{SUB} の絶対値を大きくすることにより、オーバーフローレベル OFL を低下させることができる。

【0033】次に、図 5 を参照して、画素加算数（ n ）と基板バイアス電圧 V_{SUB} の設定値との具体的な関係について説明する。

【0034】図 5（a）は、非加算時（ $n=1$ の通常駆動モード時）におけるデフォルトの基板バイアス電圧 V_{SUB} 値（9V）に対するオーバーフローレベル（740mV）を基準値とし、その基準値から各 n 画素加算時における基板バイアス電圧 V_{SUB} の設定値を決定する場合の例である。

【0035】この場合、 $n=2$ つまり 2 画素加算時には、電荷蓄積部のオーバーフローレベルが非加算時の $1/2$ の値（370mV）となるような基板バイアス電圧 V_{SUB} の値（12.2V）が図 4 の特性から算出され、それが基板バイアス電圧 V_{SUB} の設定値として使用される。同様に、 $n=4$ つまり 4 画素加算時には、電荷蓄積部のオーバーフローレベルが非加算時の $1/4$ の値（185mV）となるような基板バイアス電圧 V_{SUB} の値（14.5V）が設定値として使用される。

【0036】水平転送路の飽和レベルは少なくとも電荷蓄積部のオーバーフローレベルの標準的設定値（740mV）以上であるのが一般的であるので、このように非加算時のオーバーフローレベル（740mV）を基準に、非加算時と加算時の画素加算数の比のみで基板バイアス電圧 V_{SUB} の設定値を決定しても、水平カブリノイズ

の発生を確実に防止することができる。また、この方式の場合、CCD105 のオーバーフローレベル OFL と水平転送路の飽和レベル SatH との相対関係がどのようなものであるかについては一切考慮する必要がない。

【0037】図 5（b）は、水平転送路の飽和レベル SatH と電荷蓄積部のオーバーフローレベル OFL との比率 k （ $k = \text{SatH} / \text{OFL}$ ）をも考慮して、各 n 画素加算時における基板バイアス電圧 V_{SUB} の設定値を決定する場合の例である。この場合、各 n 画素加算時における基板バイアス電圧 V_{SUB} の設定値は、オーバーフローレベルが

$$740 \times k / n$$

となるような値に決定される。例えば、 $k=1.4$ の場合には、2 画素加算時にはオーバーフローレベルが 518mV となるような基板バイアス電圧 V_{SUB} の値（10.8V）が V_{SUB} 設定値として使用される。同様に、4 画素加算時には、電荷蓄積部のオーバーフローレベルが 254mV となるような基板バイアス電圧 V_{SUB} の値（13.5V）が V_{SUB} 設定値として使用されることになる。

【0038】このように電荷蓄積部のオーバーフローレベルと水平転送路の飽和レベルとの相対関係を考慮して基板バイアス電圧 V_{SUB} の設定値を決定することにより、 V_{SUB} の可変設定幅を少なく抑えることができるので、 V_{SUB} を大きく変化させることによって生じる危険のある不具合、例えば実効感度の低下や分光特性の変化等の発生、を防止することが可能となる。

【0039】次に、図 6 のフローチャートを参照して、基板バイアス電圧 V_{SUB} の設定動作について説明する。

【0040】まず、撮像のための CCD 駆動に先立ち、CCD 駆動モード（通常駆動モード、 n 加算駆動モード）の判定が行われる（ステップ S11）。通常駆動モード時、つまり $n=1$ の比加算時には、基板バイアス電圧 V_{SUB} は標準値に設定される（ステップ S12）。一方、 n 加算駆動モード時には、前述の図 5（a）または図 5（b）の方法により、 n の値に応じた基板バイアス電圧 V_{SUB} の値が求められ（ステップ S13）、その値に基板バイアス電圧 V_{SUB} が設定される（ステップ S14）。

【0041】このようにして基板バイアス電圧 V_{SUB} の設定値が決定された後、CCD 撮像素子 105 の露光および画素電荷読み出しのための CCD 駆動制御動作が実行される（ステップ S15）。

【0042】以上のように、本実施形態においては、基板バイアス電圧 V_{SUB} の可変設定によって OFL を適正値に制御することにより、垂直転送路への画素電荷の入力の前に画素蓄積部にて蓄積電荷量の上限値を n に応じて制限することが可能となるので、垂直転送路に十分な余剰電荷対策がなされていない CCD を使用する場合で

10

20

30

40

50

あっても、水平カブリノイズを招くことなく n 加算駆動による高速・高感度駆動を行うことが可能となる。

【0043】なお、本実施形態においては、画素電荷読み出しのための CCD 駆動モードとして通常駆動モードと n 加算駆動モードの双方を有する電子カメラを例示して説明したが、本実施形態の V_{SUB} 可変制御は、 n 加算駆動モードによって画素加算読み出しのみを行う電子カメラに対しても適用することができる。すなわち、 n 加算駆動モードのみを使用する電子カメラであっても水平転送路の余剰電荷に対する対策には限界があるのが通常であるので、あるライン数以上の加算読み出しを行うと、水平カブリノイズの問題が生じる場合がある。 n の値に応じた V_{SUB} 可変制御を行うことにより、この問題を解決することができる。

【0044】また、基板バイアス電圧 V_{SUB} の設定値に対する電荷蓄積部のオーバーフローレベルの変化特性は CCD 毎にばらつく場合があるので、使用する CCD に関する変化特性を実測し、その実測値に基づいて n 加算駆動モードにおける基板バイアス電圧 V_{SUB} の設定値に関する調整情報を生成して、それを EEPROM 118 に予め記憶しておくようにしてもよい。この場合、調整情報としては、変化特性に関するデータそのものを記憶しても良いし、あるいは各 n の値に対して算出した適正な V_{SUB} の値を示すデータを記憶してもよい。

【0045】

【発明の効果】以上説明したように、本発明によれば、電荷蓄積部のオーバーフローレベルを定める基板バイア*

* ス電圧 V_{SUB} の可変制御により、画素加算駆動に伴う擬似信号（水平カブリノイズ）の発生を防止できるようになり、画質劣化の無い画素加算駆動を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わるデジタルカメラの構成を示すブロック図。

【図2】同実施形態で用いられる通常駆動モードと n 加算駆動モードを説明するためのタイミングチャート。

10 【図3】同実施形態で用いられる CCD の構造の一例を示す断面図。

【図4】同実施形態で用いられる CCD のオーバーフローレベル変化特性を示す図。

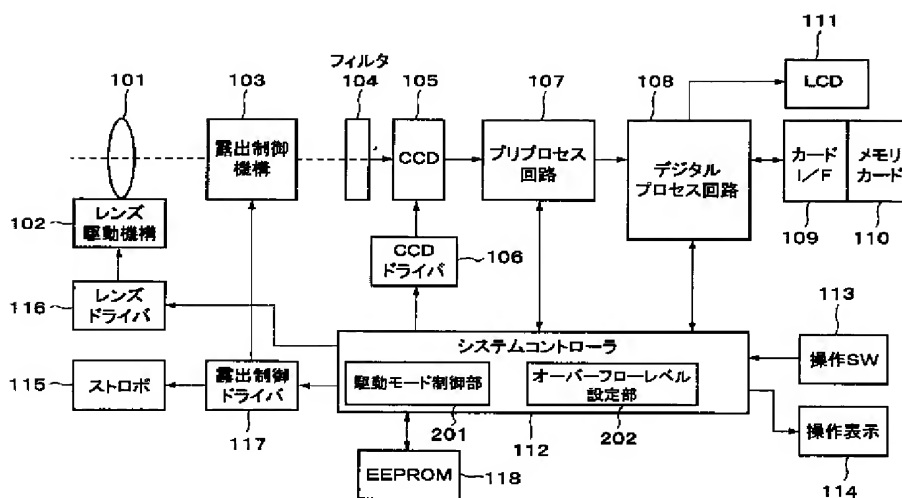
【図5】同実施形態における画素加算数 (n) と基板バイアス電圧 V_{SUB} の設定値との関係を説明するための図。

【図6】同実施形態における基板バイアス電圧 V_{SUB} の設定動作を説明するためのフローチャート。

【符号の説明】

- 101…レンズ系
105…CCDカラー撮像素子
106…CCDドライバ
112…システムコントローラ
118…不揮発性メモリ (EEPROM)
201…駆動モード制御部
202…オーバーフローレベル設定部

【図1】



【図5】

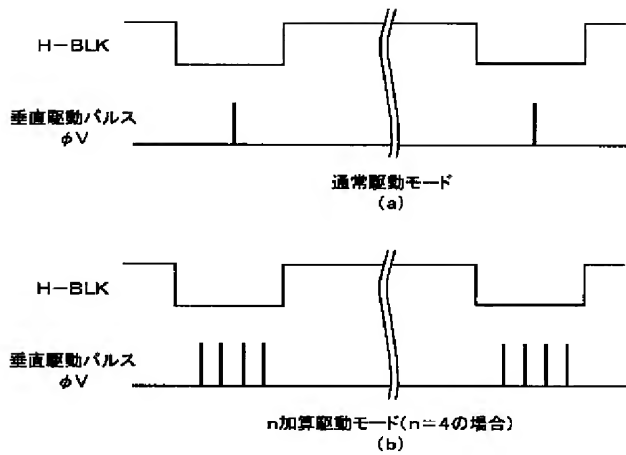
非加算時	9V(740mV)
2画素加算時	12. 2V(370mV)
4画素加算時	14. 5V(185mV)

(a)

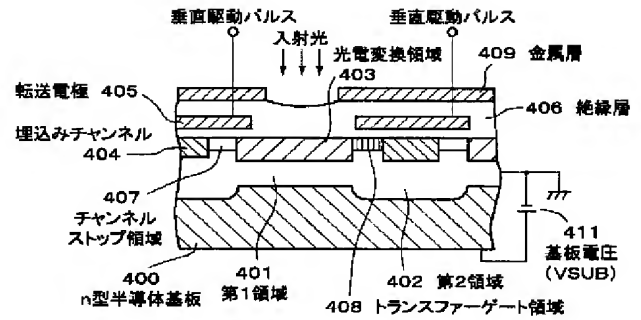
k=1. 4の場合	
非加算時	9V(740mV)
2画素加算時	10. 8V(518mV)
4画素加算時	13. 5V(254mV)

(b)

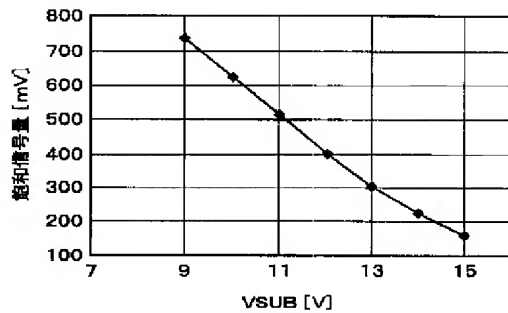
【図2】



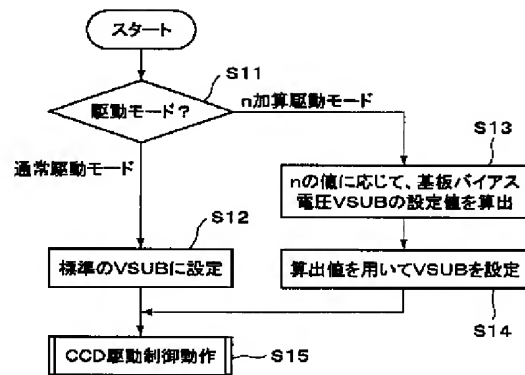
【図3】



【図4】



【図6】



フロントページの続き

Fターム(参考) 4M118 AA05 AB01 BA13 CA02 DA03
DB15 FA06 FA12 FA26 FA33
FA44
5C022 AA13 AB31 AB52 AC42
5C024 BX01 CX12 GY01 GZ04 GZ25
JX30